

(11)Publication number : 08-315596
(43)Date of publication of application : 29.11.1996

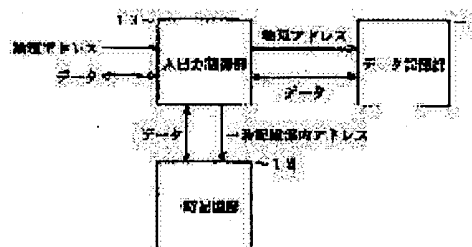
G11C 29/00
G11C 16/06

(71)Applicant : NEC CORP

(72)Inventor : AKIYAMA MINORU

(57)Abstract:

CONSTITUTION: The semiconductor memory comprises a data storage section 11 having independently erasable unit blocks composed of independently writable unit blocks formed on a memory area composed of nonvolatile memory elements having limited number of writing times, a section 12 for temporarily storing an update data being rewritten from a host unit for each rewritable unit block, and an I/O control section 13 for managing I/O of data at the data storage section 11 and the temporary storage section. At the time of rewriting, the update data is written in the temporary storage section and if an empty area for writing the update data is not present in the temporary storage section, the write unit blocks stored therein are classified for each erase unit block. A selected erase unit block is corrected and rewritten using a write block data existing in the temporary storage section and belonging to a relevant erase unit block.



[Date of request for examination]	12.05.1995
[Date of sending the examiner's decision of rejection]	16.06.1998
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-315596

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 3		G 1 1 C 29/00	3 0 3 A
16/06			17/00	3 0 9 F

審査請求 有 請求項の数 7 F D (全 11 頁)

(21) 出願番号 特願平7-138600

(22) 出願日 平成7年(1995)5月12日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 秋山 実

東京都港区芝五丁目7番1号 日本電気株式会社内

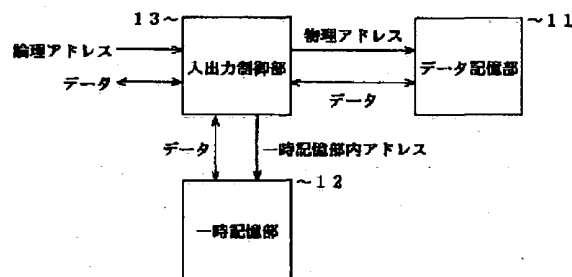
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】書換回数制限がある不揮発性メモリ素子を用いた半導体記憶装置の装置寿命を延長する。

【構成】書換回数制限のある不揮発性メモリ素子で構成される記憶領域上に、独立に書込可能な書込単位ブロックから構成される、独立に消去可能な消去単位ブロックを具備するデータ記憶部と、上位装置から書込単位ブロックごとに行われる書換での更新データを一時的に蓄える一時記憶部と、データ記憶部及び一時記憶部のデータ入出力を管理する入出力制御部とを備える。書換の際には、一時記憶部に更新データを書き込み、更新データ書き込み可能な空き領域が一時記憶部に存在しない場合に、一時記憶部に記憶されている書込単位ブロックを消去単位ブロックごとに分類し、選択された消去単位ブロックを、一時記憶部に存在し該当消去単位ブロックに属する書込単位ブロックデータで修正し書き換える。



【特許請求の範囲】

【請求項1】書換回数制限がある不揮発性メモリ素子を用いた半導体記憶装置であって、
書換回数制限のある不揮発性メモリ素子から構成される記憶領域上に、少なくとも一の独立に書込可能な書込単位ブロックから構成され、少なくとも一の独立に消去可能な消去単位ブロックを具備するデータ記憶部と、
前記書込単位ブロック毎に行われる書換えにおける更新データを一時的に蓄える一時記憶部と、
入力された論理アドレスから物理アドレスを算出し、前記データ記憶部及び前記一時記憶部のデータ入出力を管理する入出力制御部と、
を備え、
書換えの際に、前記入出力制御部が、
前記一時記憶部に更新データの書き込みを行なうための空き領域が存在するか否かを判定し、
空き領域が存在する場合には、前記一時記憶部に更新データを書き込み、
空き領域が存在しない場合には、所属する書込単位ブロックに対応する更新データが前記一時記憶部に記憶されている消去単位ブロックの少なくとも一を書換対象ブロックとして選択し、
選択された前記消去単位ブロックを前記一時記憶部に存在するデータのうち該当消去単位ブロックに属する書込単位ブロックの更新データで修正して書き換えることを特徴とする半導体記憶装置。

【請求項2】書換回数制限がある不揮発性メモリ素子を用いた半導体記憶装置であって、
書換回数制限のある不揮発性メモリ素子で構成される記憶領域上に、少なくとも一の独立に書込可能な書込単位ブロックから構成され、少なくとも一の独立に消去可能な消去単位ブロックを具備するデータ記憶部と、
前記書込単位ブロック毎に行われる書換での更新データを一時的に蓄える一時記憶部と、
入力された論理アドレスから物理アドレスを算出し、前記データ記憶部及び前記一時記憶部のデータ入出力を管理する入出力制御部と、
を備え、
書換の際に、前記入出力制御部が、
前記一時記憶部を消去単位ブロックごとに分割して用い、
前記一時記憶部に更新データを書き込むための空き領域が存在するか否かを判定し、
空き領域が存在する場合には、前記一時記憶部の分割された各々の領域に、同一の消去単位ブロックに属するデータのみが存在するよう、更新データを、所属消去単位ブロックで分類して前記一時記憶部に書き込み、
空き領域が存在しない場合には、
所属する書込単位ブロックに対応する更新データが前記一時記憶部に記憶されている消去単位ブロックの少なく

とも一を選択し、

選択された消去単位ブロックを、前記一時記憶部に存在するデータのうち、該当消去単位ブロックに属する書込単位ブロックデータで修正し書き換えることを特徴とする半導体記憶装置。

【請求項3】書換回数制限がある不揮発性メモリ素子を用いた半導体記憶装置であって、
書換回数制限のある不揮発性メモリ素子で構成される記憶領域上に、少なくとも一の独立に書込可能な書込単位ブロックから構成される、複数の独立に消去可能な消去単位ブロックを具備するデータ記憶部と、
入力された論理アドレスから物理アドレスを算出し、前記データ記憶部のデータ入出力を管理する入出力制御部と、
を備え、
データ記憶部を消去単位ブロックを単位として、少なくとも一の消去単位ブロックからなる通常記憶領域と、少なくとも一の消去単位ブロックからなる一時記憶領域とに分割し、
書込単位ブロック毎に行われる書換の際に、前記入出力制御部が、
更新データ書き込み可能な未使用領域が一時記憶領域に存在するか否かを判定し、
未使用領域が存在する場合には、
前記一時記憶領域消去単位ブロックの一を選択し、書換更新データを、選択された消去単位ブロックの書換対象となった通常記憶領域消去単位ブロックのブロック内位置と同一のブロック内位置に蓄え、
未使用領域が存在しない場合には、
所属する書き込み単位ブロックに対応する更新データが一時記憶領域に記憶されている少なくとも一の通常記憶領域消去単位ブロックを選択し、
通常記憶領域内の選択された消去単位ブロックの更新すべきでない書込単位ブロックのデータを対応する一時記憶領域の消去単位ブロックに転送した後、通常記憶領域もしくは一時記憶領域であることを示す属性及びアドレスの交換を行い、通常記憶領域から一時記憶領域へと属性変更された消去単位ブロックの消去を行うことを特徴とする半導体記憶装置。

【請求項4】前記入出力制御部が、前記一時記憶部に更新データを書き込むための空き領域が存在するか否かを判定する代わりに、前記一時記憶部の空き領域が一定数量以下になったこと、または、前記一時記憶部に書き込まれて一定時間経過したことを条件として物理的書換を行なうことを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項5】書換回数制限がある不揮発性メモリ素子を用いた半導体記憶装置であって、
書換回数制限のある不揮発性メモリ素子から構成される記憶領域上に、少なくとも一の独立に書込可能な書込単

位ブロックから構成され、少なくとも一の独立に消去可能な消去単位ブロックを具備するデータ記憶部と、前記書込単位ブロック毎に行われる書換えにおける更新データを一時的に蓄えるバッファ領域と、入力された論理アドレスから物理アドレスを算出し、前記データ記憶部及び前記一時記憶部のデータ入出力を管理する入出力制御部と、を備え、物理的書換えの最小単位となる消去単位ブロックごとに書換及び／又は修正箇所を前記バッファ領域上で調整し、前記バッファ領域上に書換対象ブロックの過去データが存在するか又は書換えデータを格納するための空き領域が存在する場合には前記バッファ領域を更新し、それ以外の場合には前記データ記憶部の書換えを行なうと共に前記バッファ領域上に空き領域を形成することを特徴とする半導体記憶装置。

【請求項6】書換えの際に、前記バッファ領域の消去単位ブロック上の有効データを退避し、前記消去単位ブロックに論理的に所属する書込単位ブロックの更新データを選択し、前記データ記憶部の書込対象ブロックを消去単位ブロックとして消去し、前記データ記憶部の前記消去単位ブロックを更新データをもって修正することを特徴とする請求項5記載の半導体記憶装置。

【請求項7】前記バッファ領域に書換対象ブロックの過去データが存在するか否かを所定のアドレステーブル内に該ブロックの物理アドレスが登録されているかを検索して行うことを特徴とする請求項5記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は不揮発性半導体記憶装置に関し、特に書換回数に制限がある不揮発性メモリ素子を用いた半導体記憶装置に関する。

【0002】

【従来の技術】近年、情報機器の外部記憶装置として、フラッシュ型EEPROM（一括消去型電氣的消去及び書換え可能な読み出し専用メモリ）等の不揮発性半導体メモリ素子を用いた記憶装置が注目されている。さらに、携帯型情報機器に対しては、耐衝撃性が高く、小型で消費電力が低いという利点から、不揮発性メモリカードとして、またはHDD（ハードディスクドライブ装置）の代替製品として期待されている。

【0003】一般に、EEPROM（電氣的消去及び書換え可能な読み出し専用メモリ）では、書換にあたってブロック一括消去が必要とされる。このため、書換え動作は、当該ブロックのデータを読み込み、当該ブロックを消去し、データの必要箇所を修正して書き戻すという手順を踏むことになる。

【0004】しかしながら、EEPROMには、書換え動作にともなって記録消去特性に劣化が生ずるという欠点があり、このため書換回数が制限されている。

【0005】情報装置の外部記憶装置においては、一部領域に書換が集中して頻繁に生ずることが有り得る。このような場合には、全体としての装置寿命が一部の素子の書換回数制限によって規定されることになり、装置寿命が短くなってしまうという問題がある。

【0006】

【発明が解決しようとする課題】このような問題に対して、EEPROMの書換回数制限を系統的に緩和又は完全に回避し、装置寿命を疑似的に延長する手法が、従来から多く検討されてきた。

【0007】この類の手法として、例えば特開平1-146199号公報には電源電圧低下時だけ書き込みを行ない、その他はマイクロコンピュータ内部のRAM又は外部RAMにデータを保持しておくことにより書き込み回数を減少させEEPROMの寿命を増加させる構成、特開平2-81398号公報には通常動作状態ではRAMに対してアクセスを行ない必要に応じてRAMと不揮発性メモリ回路との間でデータを相互転送することにより保持データの揮発化とEEPROMに対する書換回数を減少するようにした構成、特開平2-299044号公報には電源電圧準備完了信号によりEARAMからRAMへ書き込み、電源遮断信号によりRAMからEARAMに書き込むことによりEARAMの寿命を長くする構成が、それぞれ提案されている。

【0008】しかし、前記特開平1-146199号公報、特開平2-81398号公報に等構成においては、揮発性メモリを不揮発性メモリと同量用意せねばならず、揮発性メモリと不揮発性メモリの2重構造となり、コスト的に不利である。

【0009】また、例えば特開昭63-167498号公報には書き込み毎にアドレスを変えるようにデータと共にアドレスを書き込み、記憶領域全域を使用することによりメモリ素子の寿命を長大化した構成、特開昭63-181190号公報には複数のブロックについて情報を記憶する毎に順次ブロックを変更して情報の書き込み処理を行ない、不揮発性半導体記憶装置の情報書換回数能力をブロック数倍だけ増大可能とするようにした構成、特開平1-277397号公報にはデータエリアに書き込みを行なうごとに対応する使用順位エリアの使用順位を書き換えて、その使用順位により複数のデータエリアを順番に使用することにより、EEPROM等の記憶担体の書き込み回数の限度以上にその記憶担体の書き込み使用回数を増大させることを可能とする構成、特開平4-30399号公報にはEPROMの書き込み回数記憶領域と書き込み開始アドレスと終了アドレスを記憶する領域を設け、書き込み動作を前回の書き込み終了アドレスの次のアドレスから行なうことにより、一回の書

き込みデータ量に拘わらずメモリ領域全体を使い切ることを可能とする構成が提案されている。

【0010】さらに、例えば特開平2-23598号公報にはマイコンとEEPROM間でデータとその書き込み回数とを対にして処理制御することによりEEPROMの書き込み回数を増大させることを可能とした構成、特開平2-53299号公報にはデコーダにおいて各アドレス毎に予備のメモリセルを設け、データの書換回数を増大する構成、特開平2-206097号公報には各セルを主セルと予備セルのダブル構成とし、書き込み、読み出し切替制御を設けて独立して使用可能とすることにより、主セルと予備セルの経年変化の同時進行を防止し、信頼性を向上するようにした構成、特開平2-310896号公報には書き込み領域に冗長性をもたせ書き込み可能回数を増加させる構成、特開平3-142794号公報には不揮発性メモリ内にデータ及びデータの書き込み回数を書き込む書き込み領域を設け、書き込み超過の度合いを低減する構成、特開平4-301297号公報等には全てのブロックを必要としない小さなデータの書換え時の消去によるメモリセルへのストレスを低減させ書換回数を増加させるようにした構成が提案されている。これらの従来例は、独立に書換可能な複数の記憶ブロックを一つのデータに割り当て、書換を分散させることで装置寿命の延長を図るものである。

【0011】しかし、これらの手法では、見かけ上の記憶容量が領域数分の1、またはブロック数分の1となる。全ての領域にわたって冗長性が高いため、書換頻度の低いブロックに対しては無駄が生じていると考えられる。

【0012】前述したように、書換回数に制限のある不揮発性メモリ素子を用いて半導体記憶装置を構築する際には、素子の書換制限を緩和又は完全に回避する手法を実装することが必要とされる。また、その手法は、比較的冗長性が低く効率的に素子を用い、かつ簡便に実現可能であることが望ましい。

【0013】従って、本発明は、このような問題点に鑑みて為されたものであって、書換回数制限がある不揮発性メモリ素子を用いた半導体記憶装置の装置寿命を効率的かつ簡便に延長する構成を提供することを目的とする。

【0014】

【課題を解決するための手段】前記目的を達成するために、本発明は、書換回数制限がある不揮発性メモリ素子を用いた半導体記憶装置であって、書換回数制限のある不揮発性メモリ素子から構成される記憶領域上に、少なくとも一の独立に書込可能な書込単位ブロックから構成され、少なくとも一の独立に消去可能な消去単位ブロックを具備するデータ記憶部と、前記書込単位ブロック毎に行われる書換えにおける更新データを一時的に蓄える一時記憶部と、入力された論理アドレスから物理アドレ

スを算出し、前記データ記憶部及び前記一時記憶部のデータ入出力を管理する入出力制御部と、を備え、書換えの際に、前記入出力制御部が、前記一時記憶部に更新データの書き込みを行なうための空き領域が存在するか否かを判定し、空き領域が存在する場合には、前記一時記憶部に更新データを書き込み、空き領域が存在しない場合には、所属する書込単位ブロックに対応する更新データが前記一時記憶部に記憶されている消去単位ブロックの少なくとも一を書換対象ブロックとして選択し、選択された前記消去単位ブロックを前記一時記憶部に存在するデータのうち該当消去単位ブロックに属する書込単位ブロックの更新データで修正して書き換えることを特徴とする半導体記憶装置を提供する。

【0015】また、本発明は、書換回数制限がある不揮発性メモリ素子を用いた半導体記憶装置であって、書換回数制限のある不揮発性メモリ素子で構成される記憶領域上に、少なくとも一の独立に書込可能な書込単位ブロックから構成され、少なくとも一の独立に消去可能な消去単位ブロックを具備するデータ記憶部と、前記書込単位ブロック毎に行われる書換えでの更新データを一時的に蓄える一時記憶部と、入力された論理アドレスから物理アドレスを算出し、前記データ記憶部及び前記一時記憶部のデータ入出力を管理する入出力制御部と、を備え、書換えの際に、前記入出力制御部が、前記一時記憶部を消去単位ブロックごとに分割して用い、前記一時記憶部に更新データを書き込むための空き領域が存在するか否かを判定し、空き領域が存在する場合には、前記一時記憶部の分割された各々の領域に、同一の消去単位ブロックに属するデータのみが存在するよう、更新データを、所属消去単位ブロックで分類して前記一時記憶部に書き込み、空き領域が存在しない場合には、所属する書込単位ブロックに対応する更新データが前記一時記憶部に記憶されている消去単位ブロックの少なくとも一を選択し、選択された消去単位ブロックを、前記一時記憶部に存在するデータのうち、該当消去単位ブロックに属する書込単位ブロックデータで修正し書き換えることを特徴とする半導体記憶装置を提供する。

【0016】さらに、本発明は、書換回数制限がある不揮発性メモリ素子を用いた半導体記憶装置であって、書換回数制限のある不揮発性メモリ素子で構成される記憶領域上に、少なくとも一の独立に書込可能な書込単位ブロックから構成される、複数の独立に消去可能な消去単位ブロックを具備するデータ記憶部と、入力された論理アドレスから物理アドレスを算出し、前記データ記憶部のデータ入出力を管理する入出力制御部と、を備え、データ記憶部を消去単位ブロックを単位として、少なくとも一の消去単位ブロックからなる通常記憶領域と、少なくとも一の消去単位ブロックからなる一時記憶領域とに分割し、書込単位ブロック毎に行われる書換えの際に、前記入出力制御部が、更新データ書き込み可能な未使用領

域が一時記憶領域に存在するか否かを判定し、未使用領域が存在する場合には、前記一時記憶領域消去単位ブロックの一を選択し、書換更新データを、選択された消去単位ブロックの書換対象となった通常記憶領域消去単位ブロックのブロック内位置と同一のブロック内位置に蓄え、未使用領域が存在しない場合には、所属する書き込み単位ブロックに対応する更新データが一時記憶領域に記憶されている少なくとも一の通常記憶領域消去単位ブロックを選択し、通常記憶領域内の選択された消去単位ブロックの更新すべきでない書込単位ブロックのデータに対応する一時記憶領域の消去単位ブロックに転送した後、通常記憶領域もしくは一時記憶領域であることを示す属性及びアドレスの交換を行い、通常記憶領域から一時記憶領域へと属性変更された消去単位ブロックの消去を行うことを特徴とする半導体記憶装置を提供する。

【0017】

【作用】本発明によれば、バッファ機構を付加し、物理的書換最小単位となる消去単位ブロックごとに書換修正をまとめて行い、書換回数を低減することにより装置寿命の延長を達成するようにしたものである。

【0018】

【実施例】図面を参照して、本発明の実施例を以下に説明する。図1に、本発明の一実施例に係る半導体記憶装置の構成をブロック図にて示す。

【0019】

【実施例1】図1を参照して、データ記憶部11は、書換回数制限のある記憶素子で構成された主記憶部であり、独立に消去が可能な複数の消去単位ブロック（不図示）から構成されている。各々の消去単位ブロックは、複数の書込単位ブロックと管理情報領域を含んでいる。

【0020】CPU等の上位装置（不図示）からのデータ記憶領域には、データ記憶部11の書込単位ブロックが割り当てられているものとする。すなわち、上位装置からのデータの読み出し及び書き込みは、上位装置からみて見掛け上データ記憶部11に対して行われる。

【0021】一時記憶部12は、書込単位ブロックを単位として上位装置から行われる、データ記憶部11に格納されたデータの更新処理の際に、一時的に更新データを蓄えるためのバッファメモリである。一時記憶部12では頻繁に書換が生ずることから、一時記憶部12はデータ記憶部11の記憶素子に比べ書換制限が緩い記憶素子で構成するか、あるいは論理的消去等書換回数を低減する手法を導入する。

【0022】入出力制御部13は、データ記憶部11及び一時記憶部12のデータ入出力を管理するために条件判断、シーケンス制御を行う回路ブロックであり、マイクロプロセッサ及び各種周辺回路で構成することもできる。

【0023】図2は、一時記憶部12に書換回数制限のない記憶素子を用いた場合の、データ書換の際に、入出力制御部13が行う基本的な動作シーケンスのフローを示す流れ図である。

【0024】上位装置から与えられる、書換を行う書込単位ブロックの論理アドレスから、該当書込単位ブロックが所属する消去単位ブロック番号と、該消去単位ブロック内のブロック内位置とからなる物理アドレスを算出する（ステップ201）。

【0025】一時記憶部12に格納されている書込単位ブロックの物理アドレスを登録したアドレステーブル（不図示）を検索し、現在処理すべき書込単位ブロック上に過去のデータが存在するか否かを判定する（ステップ202）。

【0026】過去のデータが一時記憶部12に存在する場合には、一時記憶部12の過去のデータが格納されている領域に最新のデータを上書きして更新する（ステップ211）。

【0027】過去のデータが一時記憶部12に存在しない場合には、一時記憶部12に現在処理すべき書込単位ブロックデータを格納することが可能な空き領域が存在するか否かを検索する（ステップ203）。

【0028】一時記憶部12に空き領域が存在する場合には、空き領域に処理すべき書込単位ブロックデータを格納し（ステップ212）、前述したアドレステーブルに対応する物理アドレスを登録する（ステップ213）。

【0029】ステップ203の判定において、一時記憶部12に書込単位ブロックデータを格納する空き領域が存在しない場合には、データ記憶部11の消去単位ブロックの物理的書換を行うことにより一時記憶部12の最新データをデータ記憶部11に移して一時記憶部12に空き領域を確保する。

【0030】データ記憶部11における物理的書換えを行う消去単位ブロックの選択（ステップ204）は、LRU（Least Recently Used；最近に最も使われなかったものを選択する）法等様々な手法により行なうことができる。

【0031】データ記憶部11の選択された消去単位ブロックに含まれる有効データを退避させる（ステップ205）。

【0032】次に、一時記憶部12に格納されている該当消去単位ブロックに論理的に所属する書込単位ブロックの更新データを選択し（ステップ206）、選択されたデータ記憶部11の消去単位ブロックを更新データをもって修正更新を行う（ステップ207）。

【0033】さらに、データ記憶部11の該当消去単位ブロックを物理消去し（ステップ208）、退避修正したデータを書き戻す（ステップ209）。

【0034】一時記憶部12の格納データのうち上述の物理的書換動作に先立つ修正に用いられたデータは不要となる。

【0035】よって、これらのデータを一時記憶部12

及びアドレステーブルから登録を抹消する（ステップ210）。

【0036】以上のステップにより空き領域が確保できたため、上位装置から与えられた現在処理すべき書込単位ブロックデータを一時記憶部12に格納し、アドレステーブルに登録することが可能となる。

【0037】図2に示した流れ図は、物理的書換を行う条件を、一時記憶部12の空き領域が存在しなくなったこととした。物理的書換を行う条件としては、一時記憶部12の空き領域が一定数量以下になったこと、または一時記憶部12に書き込まれて一定時間経過したこと等を条件としてもよい。

【0038】

【実施例2】図3は、一時記憶部12に書換回数制限のない記憶素子を用いた場合の、データ書換の際に、入出力制御部13が行う基本的シーケンスの別の例の処理フローを示す流れ図である。

【0039】上位装置から与えられる、書換を行う書込単位ブロックの論理アドレスから、該当書込単位ブロックが所属すべき消去単位ブロック番号、及び該消去単位ブロック内のブロック内位置からなる物理アドレスを算出する（ステップ301）。

【0040】一時記憶部12に格納されている書込単位ブロックの物理アドレスを登録したアドレステーブルを検索し、現在処理すべき書込単位ブロックの過去のデータが存在するか否かを検索する（ステップ302）。

【0041】過去のデータが一時記憶部12に存在する場合には、一時記憶部12の過去データが格納されている領域に最新のデータを上書き更新する（ステップ303）。

【0042】過去のデータが一時記憶部12に存在しない場合には、データ記憶部11内で現在処理すべき書込単位ブロックと同一消去単位ブロックに所属する他の書込単位ブロックに対応するデータが一時記憶部12に存在するか否かを検索する（ステップ303）。

【0043】同一の消去単位ブロックに所属する他の書込単位ブロックが存在する場合には、当該書込単位ブロックが含まれている一時記憶部12の分割領域のいずれかに、さらに現在処理すべき書込単位ブロックの更新データを書き込む空き領域があるか否かを検索する（ステップ304）。

【0044】同一の消去単位ブロックに所属する書込単位ブロックデータに使用されている領域のいずれかに空き領域が存在する場合には、空き領域に処理すべき書込単位ブロックデータを格納し（ステップ314）、前述したアドレステーブルに対応する物理アドレスを登録する（ステップ315）。

【0045】同一の消去単位ブロックに所属する他の書込単位ブロックデータが一時記憶部12に存在しない場合、または同一の消去単位ブロックに所属する書き込み

単位ブロックデータに使用されている分割領域のいずれにも空き領域が存在しない場合には、有効なデータが書き込まれていない他の分割領域を探索する（ステップ305）。

【0046】有効なデータが書き込まれていない空き分割領域が存在する場合には、空き分割領域に処理すべき書込単位ブロックデータを格納し（ステップ314）、前述したアドレステーブルに対応する物理アドレスを登録する（ステップ315）。

【0047】有効なデータが書き込まれていない空き分割領域が存在しない場合には、データ記憶部11の消去単位ブロックの物理的書換を行うことにより、一時記憶部12の最新データをデータ記憶部11に移し、一時記憶部12に空き分割領域を確保する。

【0048】物理的書換を行う消去単位ブロックの選択は、例えばLRU（Least Recently Used）法あるいはこれ以外にも様々な手法が用いられる。

【0049】データ記憶部11の選択された消去単位ブロックに含まれる有効データを退避させる（ステップ307）。

【0050】次に、一時記憶部12に格納されている、該当消去単位ブロックに論理的に所属する書込単位ブロックの更新データのすべてをもって修正更新を行う（ステップ308、309）。

【0051】一時記憶部12の分割領域は、同一の消去単位ブロックに所属する記憶単位ブロックのデータを格納しているため更新データの探索は容易となる。さらに、データ記憶部11の該当消去単位ブロックを物理消去し（ステップ310）、退避修正したデータを書き戻す（ステップ311）。

【0052】一時記憶部12の格納データのうち、上述の物理的書換動作に先立つ修正に用いられたデータは不要となる。よって、一時記憶部12及びアドレステーブルから登録を抹消する（ステップ312）。

【0053】ステップ306～312により空き領域が確保されたため、上位装置から与えられた現在処理すべき書込単位ブロックデータを一時記憶部12に格納し、アドレステーブルに登録することが可能となる。

【0054】図3に示したシーケンスフローは、物理的書換を行う条件を一時記憶部12の空き領域が存在しなくなったこととした。この場合、物理的書換を行う条件としては、一時記憶部12の空き分割領域が一定数量以下になったこと、または一時記憶部12に書き込まれて一定時間経過したこと等様々な条件が考えられることは、図2の前記第1の実施例の場合と同様である。

【0055】また、図1の一時記憶部12をデータ記憶部11と同様の書換回数制限のある記憶素子を用いて構成することも考えられる。この場合、一時記憶部12の物理的書換回数の低減をも図らなければならない。その手法の一つとして、論理的消去フラグを定義し、上位装

置からの書込単位ブロック更新データは、一時記憶部12の、物理的に消去された後に未使用領域に常に格納し、その後アドレステーブルを検索し、同一物理アドレスの書込単位ブロックが一時記憶部12に存在していた場合には、過去の更新データを論理的消去フラグを用いて、論理的に消去されたものと見なすという手法を採ることもできる。

【0056】未使用領域が存在しない場合には、データ記憶部11の物理的書換処理を行い、一時記憶部12内に未使用領域を確保する。このとき、データ記憶部11の書換が行われる消去単位ブロックは、一時記憶部12の消去しようとする消去単位ブロックに更新すべき書込単位ブロックが含まれている消去単位ブロックである。

【0057】データ記憶部11の消去単位ブロック書換により不要となった一時記憶部12の更新データは、論理的消去または物理的消去される。一時記憶部12の未使用領域確保のために、データ記憶部11の消去単位ブロックの物理的書換を行う条件には様々なものが考えられることは上述と同様である。

【0058】

【実施例3】図4に、本発明の一実施例に係る半導体記憶装置の構成例をブロック図として示す。

【0059】データ記憶部41は、書換回数制限のある記憶素子で構成された主記憶部であり、独立に消去が可能な複数の消去単位ブロックで構成されている。各々の消去単位ブロックは複数の書込単位ブロックと管理情報領域を含んでいる。

【0060】データ記憶部41の複数の消去単位ブロックは、消去単位ブロックを単位として、通常記憶領域と一時記憶領域（不図示）とに分割され、各々の消去単位ブロックには通常記憶領域と一時記憶領域のどちらの領域に属するかを示す属性（ビットフラグ）が付与されている。

【0061】上位装置からのデータ記憶領域には、データ記憶部41の通常記憶領域の書込単位ブロックが割り当てられている。すなわち、上位装置からの読み出し及び書き込みは、上位装置からの見掛け上、データ記憶部41の通常記憶領域に対して行われる。

【0062】入出力制御部43は、データ記憶部41のデータ入出力を管理する。条件判断、シーケンス制御を行うブロックである。マイクロプロセッサ及び各種周辺回路で構成することもできる。

【0063】図5を参照して、本実施例の処理フローを説明する。図5は、データ書換の際に、入出力制御部43が行う基本的シーケンスの例のフローを示す流れ図である。

【0064】上位装置から与えられる、書換を行う書込単位ブロックの物理アドレスから、該当書込単位ブロックが所属すべき消去単位ブロック番号、及び該消去単位ブロック内のブロック内位置からなる物理アドレスを算

出する（ステップ501）。

【0065】一時記憶領域に格納されている書込単位ブロックの物理アドレスを登録したアドレステーブルを検索し、現在処理すべき書込単位ブロックの過去のデータが存在するか否かを検索する（ステップ502）。

【0066】過去のデータが一時記憶領域に存在しない場合には、通常記憶領域の同一消去単位ブロックに所属する他の書込単位ブロックに対応するデータが一時記憶領域に存在するか否かを検索する（ステップ503）。

【0067】同一の消去単位ブロックに所属する他の書込単位ブロックが存在する場合には、当該書込単位ブロックが含まれている一時記憶領域の消去単位ブロックに、現在処理すべき書込単位ブロックの更新データを物理アドレスのブロック内位置に合わせて書き込み（ステップ509）、アドレステーブルに物理アドレスを登録する（ステップ510）。

【0068】同一の消去単位ブロックに所属する他の書込単位ブロックが存在しない場合には、一時記憶領域の未使用消去単位ブロックを探索する（ステップ504）。

【0069】一時記憶領域内に未使用消去単位ブロックが存在しない場合、または過去のデータが一時記憶領域に存在する場合には、書換消去を行って未使用領域を確保する。

【0070】所属する書込単位ブロックに対応する更新データが一時記憶領域13に記憶されている、通常記憶領域消去単位ブロックを少なくとも1つ選択する（ステップ505）。

【0071】通常記憶領域内の選択された消去単位ブロックの更新すべきでない書込単位ブロックのデータに対応する一時記憶領域の消去単位ブロックに転送書き込みした後（ステップ506）、通常記憶領域の書換対象ブロックを消去し（ステップ507）、通常記憶領域もしくは一時記憶領域であることを示す属性及び消去単位ブロック番号アドレスの交換を行う（ステップ508）。

【0072】通常記憶領域から一時記憶領域へと属性変更された消去単位ブロックの消去を行って未使用領域を確保する。また、アドレステーブルの更新も行う。

【0073】未使用領域が存在する場合には、現在処理すべき書込単位ブロックの更新データを一時記憶領域に格納し、アドレステーブルに登録することが可能である。

【0074】以上、本発明を上記各実施例に即して説明したが、本発明は上記態様にのみ限定されず、本発明の原理に準ずる各種態様を含むことは勿論である。

【0075】

【発明の効果】以上説明したように、本発明によれば、メモリ素子の物理的消去回数を低減することが可能とされ、書換回数に制限のある不揮発性メモリ素子を用いて構築された半導体記憶装置においても、素子の書換制限を緩和又は完全に回避することを可能とし、装置寿命を

延長させることができる。

【0076】さらに、本発明によれば、一時記憶部に高速入出力可能な素子または装置を用いることにより、見掛け上の入出力高速化を図ることも可能となる。そして、請求項2以降に記載された本発明の各種好ましい態様においても好適に上記効果を奏することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体記憶装置の構成を示すブロック図である。

【図2】本発明の一実施例における入出力制御部の制御シーケンスの一例を示す流れ図である。

【図3】本発明の一実施例における入出力制御部の制御

シーケンスの別の例を示す流れ図である。

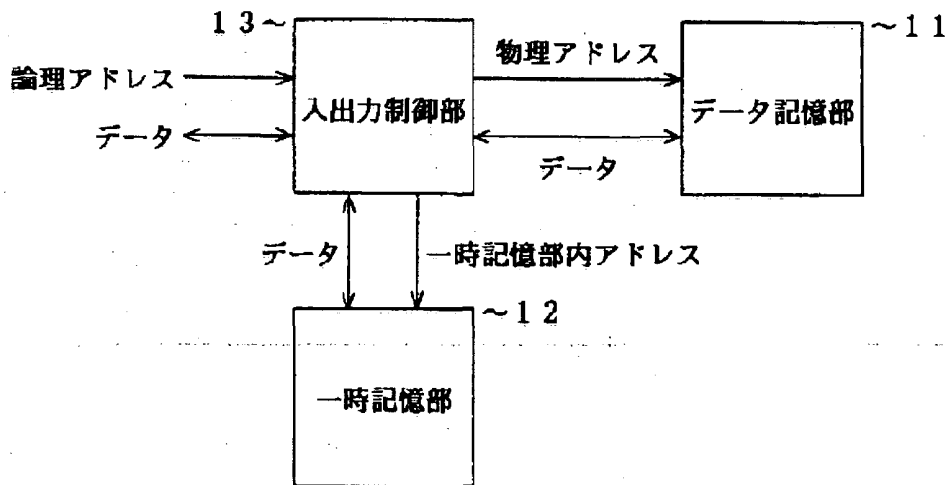
【図4】本発明の第2の実施例に係る半導体記憶装置の構成を示すブロック図である。

【図5】本発明の第2の実施例における入出力制御部の制御シーケンスを示す流れ図である。

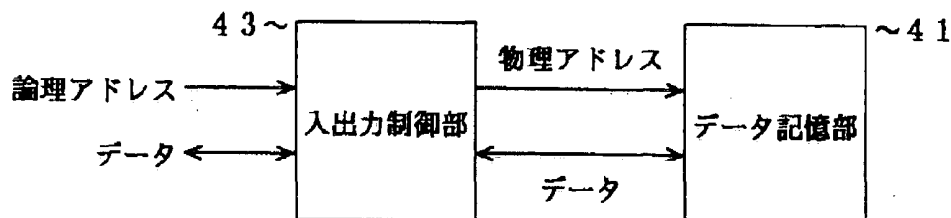
【符号の説明】

- 11 データ記憶部
- 12 一時記憶部
- 13 入出力制御部
- 41 データ記憶部
- 43 入出力制御部

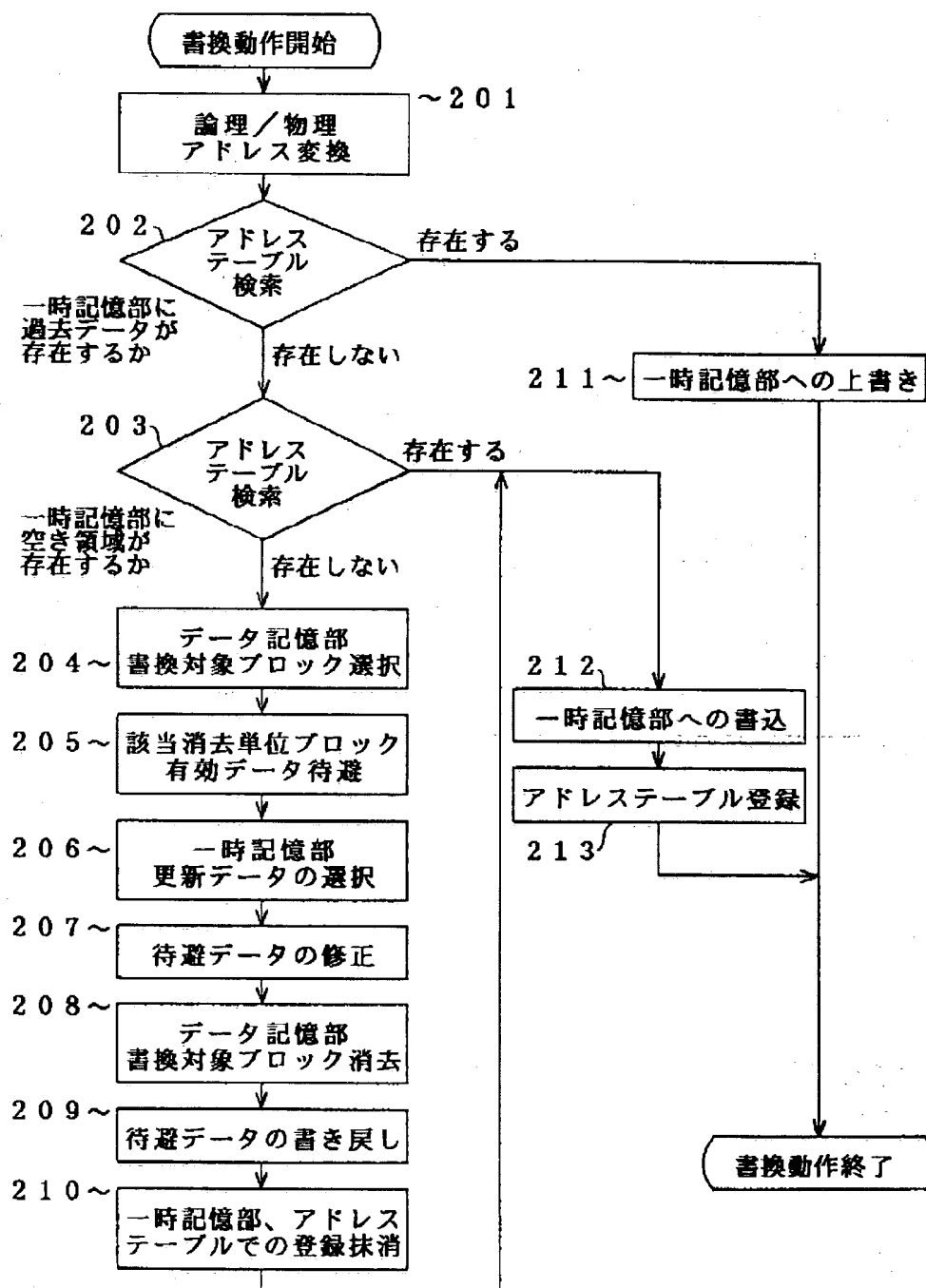
【図1】



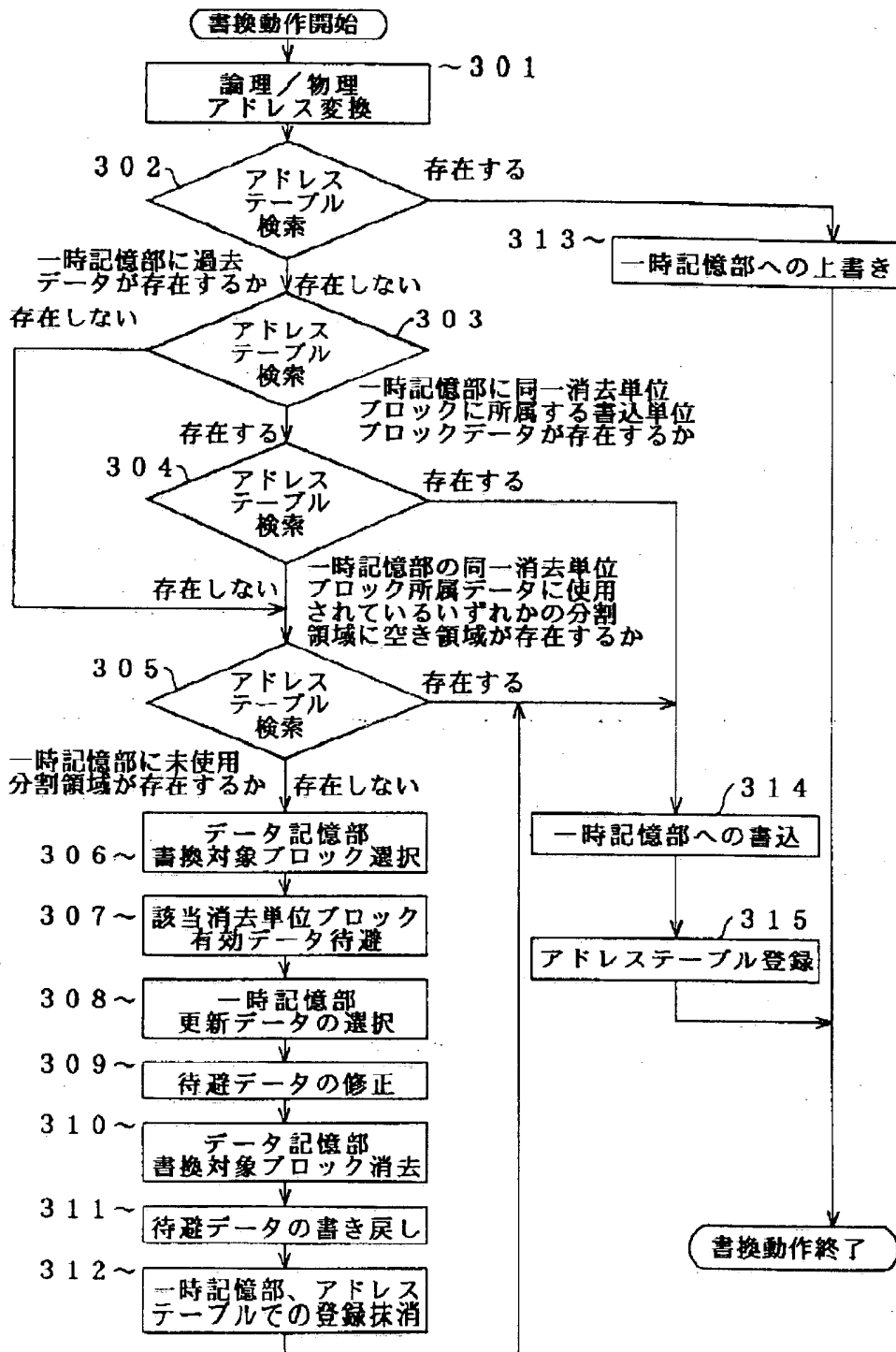
【図4】



【図2】



【図3】



【図5】

